

⑫ 公開特許公報 (A)

昭59—213090

⑤Int. Cl.³
G 11 C 11/34識別記号
1 0 1庁内整理番号
8320—5B
6549—5B

⑬公開 昭和59年(1984)12月1日

発明の数 2
審査請求 未請求

(全 6 頁)

⑭駆動回路

京芝浦電気株式会社総合研究所
内

⑯特 願 昭58—87041

⑰出 願 人 株式会社東芝

⑱出 願 昭58(1983)5月18日

川崎市幸区堀川町72番地

⑲発 明 者 斎藤伸二

⑳代 理 人 弁理士 鈴江武彦 外2名

川崎市幸区小向東芝町1番地東

明 細 書

1. 発明の名称

駆 動 回 路

2. 特許請求の範囲

(1) 第1の電源電位にソースが接続されたPチャネルMOSトランジスタと、このPチャネルMOSトランジスタのドレインと接地端との間に挿入接続されたNチャネルMOSトランジスタとを具備し、これらのトランジスタのゲート入力として前記第1の電源電位より低い第2の電源電位で動作する第2電源系回路からの出力信号が導かれ、前記PチャネルMOSトランジスタの閾値電圧が前記第1の電源電位と第2の電源電位との差に等しいかそれよりも大きいことを特徴とする駆動回路。

(2) 前記PチャネルMOSトランジスタのドレインとNチャネルMOSトランジスタのドレインとが接続されてCMOSインバータが形成されてなることを特徴とする前記特許請

求の範囲第1項記載の駆動回路。

(3) 前記CMOSインバータは半導体メモリに用いられ、その入力として行デコード信号が導かれ、その出力でワード線を駆動することを特徴とする前記特許請求の範囲第1項記載の駆動回路。

(4) 第1、第2のPチャネルMOSトランジスタが直列接続され、その一端が第1の電源電位に設定され、その他端が第1、第2のNチャネルMOSトランジスタを並列に介して接地され、第1のPチャネルMOSトランジスタと第1のNチャネルMOSトランジスタとのゲート相互が接続されて前記第2電源系回路からの第1の出力信号が導かれ、第2のPチャネルMOSトランジスタと第2のNチャネルMOSトランジスタとのゲート相互が接続されて前記第2電源系回路からの第2の出力信号が導かれるノアゲートからなり、上記2個のPチャネルMOSトランジスタのうちの少なくとも1個の閾値電圧は、

前記第1の電源電位と第2の電源電位との差に等しいかそれよりも大きいことを特徴とする駆動回路。

(5) 前記ノアゲートはメモリセルアレイが複数のブロック列に分割された半導体メモリに用いられ、前記第1の出力信号は行デコード信号であり、第2の出力信号は前記複数のブロック列を選択するためのブロック列選択信号であり、ノアゲートの出力によりメモリセルアレイに共通のワード線を駆動することの特徴とする前記特許請求の範囲第4項記載の駆動回路。

(6) 前記第2の電源電位は、第1の電源電位で動作する定電圧回路で発生されることを特徴とする前記特許請求の範囲第1項記載の駆動回路。

8. 発明の詳細な説明

〔発明の技術分野〕

本発明は、ダイナミックランダムアクセス型の半導体メモリの行デコード回路などに使用さ

れる駆動回路に関する。

〔発明の技術的背景〕

ダイナミックランダムアクセスメモリ（以下DRAMと略記する）の大容量化に伴うメモリセルの微細化により、メモリセルの保持電荷量が減少し、これによつて α 線入射によるソフトエラーを起こしたり、読み出し速度が遅くなつたりする問題が発生している。そこで、メモリセルの保持電荷量を大きくするために、従来のDRAMは第1図に示すような容量結合を利用している。即ち、1〜4は行デコード回路のNチャンネルエンハンスメント(D)型トランジスタ、5はダイナミックメモリセルであつて、トランスファゲート用のNチャンネルE型トランジスタ6と記憶用容量7とで構成されており、WLはワード線、BLはビット線である。VDDは電源電位、 ϕ はクロック信号、RAおよびRBはそれぞれ行デコード信号であり、前記トランジスタ1, 4のゲートにはVDD電位が印加されており、トランジスタ1の一端に信号RAが印

加され、トランジスタ4の一端に信号RBが印加され、トランジスタ2の一端に信号 ϕ が印加される。

いま、メモリセル5を選択する場合、先ず信号RAおよびRBを高電位(VDD)にしてトランジスタ1, 4を導通状態(オン)にする。このとき、トランジスタ2と3との接続点Pの電位VP₁およびワード線WLの電位VWL₁は

$$VP_1 = VWL_1 = VDD - V_{TH4} - V_{TH3} \dots (1)$$

となる。ここで、V_{TH4}, V_{TH3}はそれぞれバックゲートバイアス効果のあるトランジスタ4, 3の閾値電圧である。

また、トランジスタ1と2との接続点Qの電位VQは

$$VQ = VDD - V_{TH1} \dots (2)$$

となる。ここで、V_{TH1}はバックゲートバイアス効果のあるトランジスタ1の閾値電圧である。次に、クロック信号 ϕ を印加する(つまり、接地電位からV ϕ = VDD + 2 ϕ 程度まで変化させる)。このクロック信号 ϕ の入力端と前記Q点

とは容量C₁で結合しており、上記Q点と前記P点とは容量C₂で結合しており、上記P点と図示R点とは容量C₃で結合しており、上記R点とワード線WLとは容量C₄で結合しているのて、これらの容量結合により上記Q点、P点、R点、ワード線WLの電位が上昇する。第2図は上記ワード線WLの電位VWLの時間推移を示したものであり、クロック信号 ϕ を印加する前はVWLは前式(1)のVWL₁であり、クロック信号 ϕ を印加した後はVWLはほぼV ϕ (クロック信号 ϕ の電位)になる。たとえばVDD = 5Vとすると、VWL₁ \approx 2V、V ϕ \approx 7V程度である。このようにクロック信号 ϕ 印加によりワード線WLを上記約7Vの電位にし、メモリセル5の書き込み、読み出し動作を行なう。このとき、メモリセル5の容量7は、VWL - V_{THN}(トランスファゲート6の閾値電圧であり、約2V) \approx 5Vの電位まで充電され、5Vで読み出される。

〔背景技術の問題点〕

しかし、上述したようにクロック信号 ϕ を印加して容量結合によりワード線電位を高く設定することによつてメモリセルの容量の電荷量を大きくすることに伴ない、回路構成が複雑化する欠点があり、結合用の大きな容量を必要とするのでメモリチップ上の占有面積が増大化する欠点があり、容量結合によりワード線のアクセス時間が長くなる欠点などがある。

〔発明の目的〕

本発明は上記の事情に鑑みてなされたもので、回路構成が簡単で半導体チップ上の占有面積が小さくて済み、出力線を高速駆動し得る駆動回路を提供するものである。

〔発明の概要〕

即ち、本発明の駆動回路は、PチャンネルMOSトランジスタのソースを第1の電源電位に設定し、そのドレインと接地端との間にNチャンネルMOSトランジスタを挿入接続し、これらのトランジスタのゲート入力として前記第1

の電源電位より低い第2の電源電位で動作する第2電源系回路からの出力信号を導き、前記PチャンネルMOSトランジスタの閾値電圧を前記第1の電源電位と第2の電源電位との差に等しいかそれよりも大きくしたことを特徴とするものである。

このような駆動回路によれば、ゲート入力が低電位（接地電位）のときにはPチャンネルトランジスタがオン、Nチャンネルトランジスタがオフになつて、そのドレインに接続される出力線を接地電位から第1の電源電位まで高速に充電して昇圧駆動する。また、ゲート入力が高電位（第2の電源電位）のときには、Nチャンネルトランジスタがオン、Pチャンネルトランジスタはオフになり、前記出力線を高速に放電させて接地電位へ降圧駆動する。また、結合用容量とかクロック信号 ϕ を用いないので、回路構成は至つて簡単であり、半導体チップ上の占有面積が小さくて済む。

〔発明の実施例〕

以下、図面を参照して本発明の一実施例を詳細に説明する。

第3図において、5はDRAMのメモリセルであつて、第1図を参照して前述したようにトランスファゲート6と記憶用容量7とで構成されており、WLはワード線、BLはビット線である。30はCMOSトランジスタ（相補型絶縁ゲート型トランジスタ）で構成されたCMOSインバータであつて、行デコード信号RCにより前記ワード線WLを駆動する駆動回路として用いられている。即ち、Pチャンネルエンハンスメント型トランジスタ31のソースが V_{DD1} 電位の第1電源に接続され、Nチャンネルエンハンスメント型トランジスタ32のソースが V_{SS} 電位（接地電位）端に接続され、上記両トランジスタ31、32の各ドレインは相互に接続されると共に前記ワード線WLに接続され、各ゲートは相互に接続されると共に行デコード信号RCが印加される。

そして、上記行デコード信号RCは、前記第1電源系の電源電位 V_{DD1} よりは低い電源電位 V_{DD2} の第2電源系で作られたものであり、 $V_{SS}(0V)$ から V_{DD2} まで変化する。この場合、 V_{DD2} 電位は第1電源系で動作する定電圧回路（図示せず）で発生される。

次に、上記駆動回路の動作を説明する。いま、行デコード信号RCが低電位（ V_{SS} ）のとき、Pチャンネルトランジスタ31は導通（オン）し、Nチャンネルトランジスタ32は非導通（オフ）になる。したがつて、ワード線WLの電位 V_{WL} は V_{DD1} になる。これに対して、行デコード信号RCが高電位（ V_{DD2} ）のとき、Nチャンネルトランジスタ32はオンになり、Pチャンネルトランジスタ31はその閾値電圧 V_{THP} を

$$V_{THP} \geq V_{DD1} - V_{DD2}$$

となるように予め設定しておくことによつてオフになる。したがつて、ワード線WLの電位 V_{WL} は V_{SS} になる。このワード線WLの電位

VWLの時間推移を第4図に示している。

即ち、上記駆動回路によれば、前述したような容量結合を用いておらず、ワード線WLを低電位(V_{SS})から高電位(V_{DD_1})へ高速にアクセスすることが可能であり、その回路構成は至つて簡単であり、結合用の大きな容量を必要としないのでメモリチップ上の占有面積が小さくて済む。

次に、本発明の応用例を第5図および第6図を参照して説明する。第5図において、11はDRAMのメモリセルアレイであつて、たとえば第1ブロック列11₁～第4ブロック列11₄の4ブロックに等分されている。12は行デコード回路であつて、 V_{DD_2} 電位の第2電源系で動作する。13は上記行デコード回路12内で行デコード信号RDが入力するインバータであつて、 V_{SS} 電位と V_{DD_2} 電位との間で変化するワード線駆動信号WDを共通ワード線14へ送り出す。この共通ワード線14は前記各ブロック列11₁～11₄へ共通に接続されている。

一方、15はブロック列選択回路であつて、 V_{DD_2} 電位の第2電源系で動作するインバータからなり、ブロック列選択用デコード信号CDが入力し、 V_{SS} 電位と V_{DD_2} 電位との間で変化するブロック列選択信号SDを出力する。そして、前記各ブロック列11₁～11₄にはそれぞれ第6図に示すようなノアゲート60からなるワード線駆動回路を設けておき、各ブロック列毎にそれぞれのワード線WLおよびメモリセル5を高速に選択するようにしている。即ち、第6図のワード線駆動回路は第1電源系で動作するものであり、 V_{DD_1} 電位端と V_{SS} 電位端との間に第1、第2のPチャンネルトランジスタ61、62および第1のNチャンネルトランジスタ63が直列に接続され、この第1のNチャンネルトランジスタ63に並列に第2のNチャンネルトランジスタ64が接続されている。そして、上記トランジスタ61、63の各ゲートに前記共通ワード線14のワード線駆動信号WDが導かれ、トランジスタ62、64の各ゲート

に前記ブロック列選択信号SDが導かれ、トランジスタ62、63、64の各ドレインの相互接続点に各ブロック列内のワードWLが接続されている。なお、上記トランジスタ61の閾値電圧 V_{TP_1} およびトランジスタ62の閾値電圧 V_{TP_2} はそれぞれ V_{DD_1} と V_{DD_2} との差に等しいかもしくはそれよりも大きい値を有している。

したがつて、共通ワード線14の信号WDが低電位(V_{SS})、ブロック列選択信号SDが低電位(V_{SS})のときに、トランジスタ61および62がオンになり、トランジスタ63および64がオフになり、ワード線WLが V_{DD_1} 電位になつてメモリセル5の選択が行なわれる。これに対して、共通ワード線14の信号WDもしくはブロック列選択信号SDが高電位(V_{DD_2})のとき、トランジスタ61もしくは62がオフになり、トランジスタ63もしくは64がオンになり、ワード線WLが V_{SS} 電位になつて非選択状態になる。

なお、前記ノアゲートのPチャンネルトラン

ジスタ61、62は少なくとも一方の閾値電圧が $\geq V_{DD_1} - V_{DD_2}$ になつていけばよい。

また、第5図の各ブロック列11₁～11₄に対応してブロック列選択回路を設け、各ブロック列における前記ノアゲートの一方の入力として対応するブロック列選択回路からの選択信号SD_i($i=1\sim4$)を導くように変更してもよい。

なお、本発明は上記実施例、応用例に示したようなDRAMのみに限らず、外部電源電位(V_{DD_1})が5V、内部電源電位(V_{DD_2})がたとえば3Vの如く2電源系統を有するスタティックRAMあるいはEPROM(電気的書き込み可能な読出専用メモリ)などにも適用可能である。

さらに、本発明は上述したようなワード線用の駆動回路のみに限らず、内部回路をたとえば3Vで動作させ入出力回路を5Vで動作させるような半導体集積回路にも適用可能である。即ち、たとえば第7図に示すようなデータ出力回路のCMOSインバータ71、72を V_{DD_2} 電源

系で動作させ、CMOS出力バッファ73を V_{DD1} 電源系で動作させるようにし、この出力バッファ73におけるPチャンネルトランジスタ74の閾値電圧を V_{DD1} （たとえば5V）- V_{DD2} （たとえば3V）に等しいかそれよりも大きくしておくことによつて、出力線75を V_{SS} 電位と V_{DD1} 電位とに設定することができる。

〔発明の効果〕

上述したように本発明の駆動回路によれば、回路構成が簡単で半導体チップ上の占有面積が小さくて済み、出力線を高速駆動することができるので、半導体メモリのワード線駆動回路などに使用して好適である。

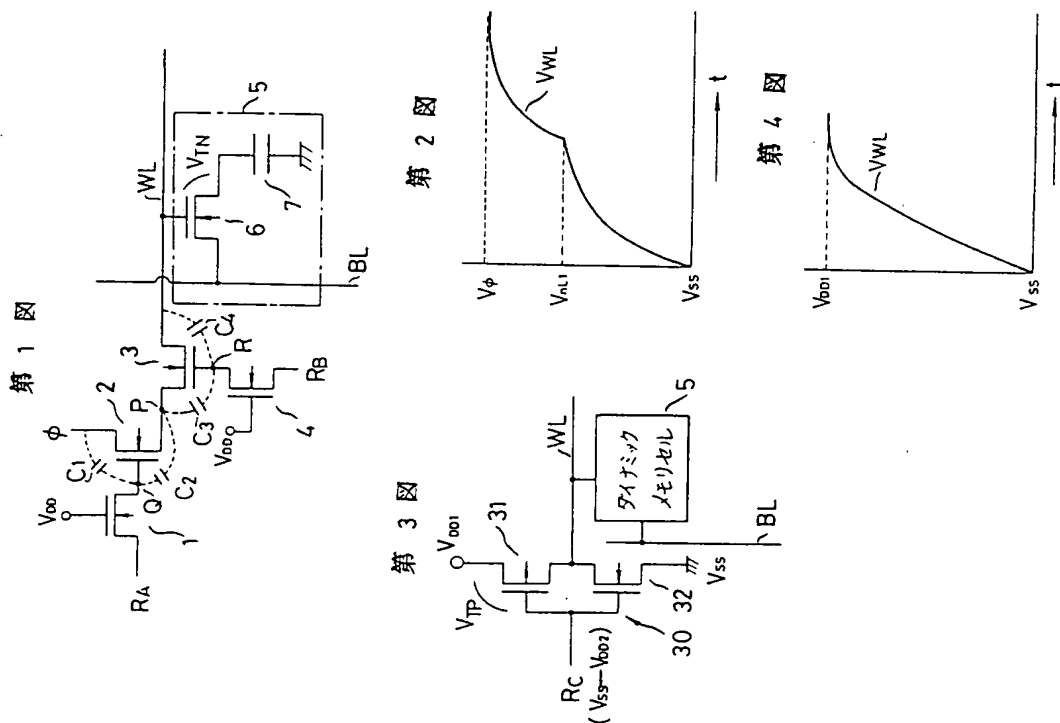
4. 図面の簡単な説明

第1図は従来のDRAMの一部を示す回路図、第2図は第1図のワード線の電位変化を示す特性図、第3図は本発明に係る駆動回路の一例を示す回路図、第4図は第2図のワード線の電位変化を示す特性図、第5図は本発明の応用例を示す半導体メモリの要部を示す構成説明図、第

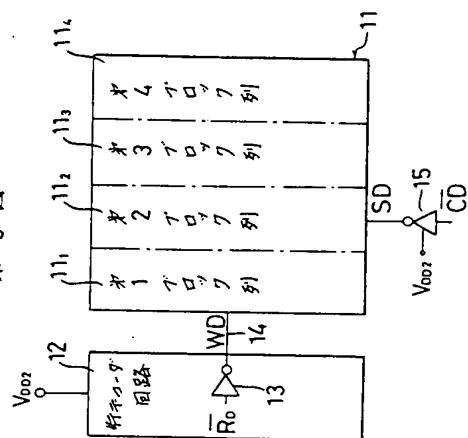
6図および第7図はそれぞれ本発明の他の実施例を示す回路図である。

30…CMOSインバータ、31、61、62…Pチャンネルトランジスタ、32、63、64…Nチャンネルトランジスタ、60…ノアゲート、WL…ワード線、RC…行デコード信号、 V_{DD1} …第1の電源電位、 V_{DD2} …第2の電源電位、 V_{TP} 、 V_{TP1} 、 V_{TP2} …閾値電圧。

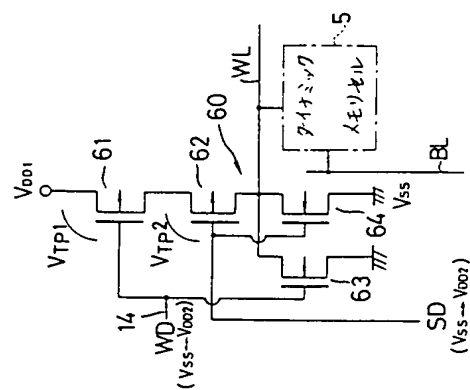
出願人代理人 弁理士 鈴 江 武 彦



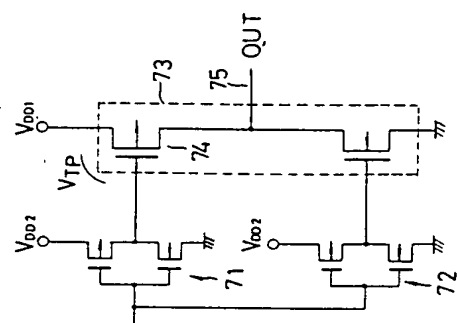
第 5 図



第 6 圖



第 7 区



AN - 84-213090

TI - DRIVING CIRCUIT

PA - (2000307) TOSHIBA CORP

IN - SAITO, SHINJI

PN - 84.12.01 J59213090, JP 59-213090

AP - 83.05.18 83JP-087041, 58-87041

SO - 85.04.12 SECT. P, SECTION NO. 348; VOL. 9, NO. 83, PG. 123.

IC - G11C-011/34; G11C-011/34

JC - 45.2 (INFORMATION PROCESSING--Memory Units)

FKW - R097 (ELECTRONIC MATERIALS--Metal Oxide Semiconductors, MOS)

AB - PURPOSE: To obtain a driving circuit which simplifys the constitution of a circuit and is capable of driving an output line at a high speed by specifying a threshold voltage of at least one of two P channel MOS transistors.

CONSTITUTION: A line decoding signal RC is generated by the second power source system whose power source potential is lower than power source potential VDD(sub 1) of the first power source system, and varied extending from VSS (0V) to VDD(sub 2). When the line decoding signal RC is at a low potential (VSS), a P channel transistor 31 is turned on, and an N channel transistor 32 is turned off. Accordingly, the potential VWL of a word line WL becomes VDD(sub 1). On the other hand, when the line decoding signal RC is at a high potential (VDD(sub 2)), the N channel transistor 32 is turned on, the P channel ransistor 31 is turned off by setting in advance its threshold voltage VTP so that it becomes $VTP > VDD(sub 1) - VDD(sub 2)$, and the potential VWL of the word line WL becomes VSS. In this way, the word line WL can be accessed at a high speed from the low potential (VSS) to the high potential (VDD(sub 1)).